

**INPUT PROTECTING CIRCUIT**

Patent Number: JP1123459  
Publication date: 1989-05-16  
Inventor(s): FUJIWARA MIKIO; others: 03  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP1123459  
Application Number: JP19870281229 19871106  
Priority Number(s):  
IPC Classification: H01L27/08; H01L29/78; H02H9/04; H03K17/08; H03K19/003; H03K19/094  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To realize input protection of high breakdown voltage, by absorbing surge voltage with load-resistance-coupled P-type and N-type MOS transistors arranged in the vicinity of an input pad, and receiving an input signal with a protecting resistance of a drain region.

**CONSTITUTION:**The threshold voltage of a P-type transistor 104 is designated as VTP. When the electric potential of a signal VIN, input to a signal input pad 103 from the outside is higher than a power supply voltage VDD, and a relation  $VIN = VDD + |VTP|$  is satisfied, the P-type transistor turns to ON state, and functions as a clamp circuit in the manner in which potential of the side connected to a metal wiring 3 becomes  $(VDD + |VTP|)$ . After an applied surge voltage is received by protecting transistors 104, 105, an input signal is received by a protecting resistance of a drain region surrounded by the gate part of the protecting transistor 105. Thereby eliminating physical structure as a cause of PN junction destruction between a channel stopper region and a protecting region of impurity diffusion, and realizing an input protecting circuit of high quality.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-123459

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)5月16日

H 01 L 27/08  
 29/78  
 H 02 H 9/04  
 H 03 K 17/08  
 19/003  
 19/094

1 0 2  
 3 0 1

F-7735-5F  
 K-8422-5F  
 Z-7337-5G  
 C-7190-5J  
 E-8326-5J  
 B-8326-5J

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 入力保護回路

⑮ 特 願 昭62-281229

⑯ 出 願 昭62(1987)11月6日

⑰ 発 明 者	藤 原 美 貴 雄	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	春 日 義 昭	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	広 瀬 徹	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	鈴 木 祐 史	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑰ 代 理 人	弁理士 中尾 敏男	外1名	

## 明 細 書

## 1、発明の名称

入力保護回路

## 2、特許請求の範囲

ゲート電極とソース電極とを共通接続したP型保護トランジスタと、ゲート電極とソース電極とを共通接続したN型保護トランジスタとを有し、かつその一方の前記保護トランジスタのドレイン領域による保護抵抗をそなえたことを特徴とする入力保護回路。

## 3、発明の詳細な説明

産業上の利用分野

本発明は、入力保護回路に関する。

従来の技術

近年、MOS集積回路に関する技術進歩は目ざましいものがある。微細加工技術がサブミクロンのレベルに達し、データ処理速度の高速化と装置全体の低消費電力化への要望が強くなるに従い、MOS集積回路の中でも電流消費が内部トランジスタのスイッチング動作時にしか発生しないとい

う特長をもつ相補型MOS、いわゆる、CMOS構成の集積回路が今後の主流となりつつある。

しかしながら、微細加工が進めば進むほど、トランジスタ等の能動領域を分離するため分離領域を形成する二酸化珪素(SiO<sub>2</sub>)膜の膜厚も従来のものよりも薄くなって来る。このことは、分離領域での閾値電圧の低下を招く、この閾値電圧の低下を防止するために、分離層下部にチャンネルストップと称する不純物拡散を分離層形成以前に実施している。このようなプロセス条件の変化が、従来の入力保護回路でのサージ耐圧の低下を招くようになってきている。

従来の入力保護回路は、第2図に示すように、電源(V<sub>DD</sub>)パッド201と、接地(GND)パッド202と信号入力パッド203とがあり、信号入力パッド203に金属配線12で接続され、保護抵抗およびN型の保護ダイオードとして機能するN形拡散領域204が金属配線13で接続されて、P型の保護ダイオード205とN型の保護ダ

## 特開平1-123459(2)

イオード206との入力保護手段と組合わされて構成されている。

発明が解決しようとする問題点

この構成の保護回路において、特に問題となるのは、入力信号端子と接地端子間に正極性のサージ電圧を印加した場合である。入力信号端子と接地端子間に負極性のサージ電圧を印加した場合は、N型の保護ダイオード204が順方向に動作し、パッドから抵抗を介さずにサージ電荷を吸収することができる。しかし、正極性の場合には、拡散領域204は保護抵抗として働き、サージ電荷の吸収は、P型保護ダイオード205が行なうことになる。この時に、保護抵抗として動作する拡散領域204の入力パッド側には、サージ電圧が直接的にかかるため、逆方向バイアス下でのPN接合破壊が発生しやすくなる。サージ印加実験による結果では、この破壊は、特に、金属配線12と拡散領域204のオーミックなコンタクト部から、不純物濃度の高いチャンネルストップ領域との距離の短い経路で顕著に発生している。この現

象は、基板あるいはウェルの不純物濃度とチャンネルストップ領域の不純物濃度との濃度差から、印加されたサージ電界がこの部分に集中的にかかってしまうからである。

問題点を解決するための手段

本発明は、このように高濃度のチャンネルストップ領域と保護抵抗を形成する拡散領域の表層部との間に、サージ電圧印加時に電界集中が発生し、接合部が破壊するのを防止するために、ゲート電極とソース電極とを共通接続したP型保護トランジスタと、ゲート電極とソース電極とを共通接続したN型保護トランジスタとを有し、かつその一方の前記保護トランジスタのゲート電極部に挟まれたドレイン領域による保護抵抗をそなえたものである。

作用

この発明によると、入力パッド近傍に配設された負荷抵抗結合のP型およびN型MOSトランジスタによってサージ電圧を吸収すると共に、ドレイン領域による保護抵抗で入力信号を受けるか

ら、接合破壊が起らず、高耐圧の入力保護作用をなすことができる。

実施例

次に本発明の実施例について図面を参照しながら説明する。

第1図に示した本発明の実施例は、電源( $V_{DD}$ )パッド101、接地パッド(GND)102、信号入力パッド103を有し、さらに、入力パッド103から金属配線3を介してドレイン部に接続されたP型保護トランジスタ104と、同入力パッド103と金属配線3を介してドレイン部に接続されたN型保護トランジスタ105とをそなえ、かつこのN型保護トランジスタ105のドレイン領域を一端の金属配線3と他端の金属配線4との間で直列抵抗体として作用するように接続された保護抵抗106とから構成される。なお、このN型保護トランジスタ105のドレイン領域は、ゲート電極部、すなわち、チャンネル領域で周辺を囲まれた構造が適する。

次に、以上のように構成された本発明の実施例

の動作を第1図を用いて説明する。

まず、外部より信号入力パッド103に入力される信号 $V_{IN}$ の電位が、電源電圧 $V_{DD}$ より大きく、P型トランジスタ104の閾値電圧を $V_{TP}$ とした時、

$$V_{IN} = V_{DD} + |V_{TP}| \quad \dots\dots(1)$$

を満たすならば、P型トランジスタ104は、ターンオン状態となり、P型トランジスタ104の金属配線3に接続された側の電位が

$(V_{DD} + |V_{TP}|)$ となるようにクランプ回路として機能する。次に、N型の保護トランジスタは、上記のP型トランジスタの場合とは逆に、信号入力パッド103に入力される信号 $V_{IN}$ の電位が、接地電位 $V_{GND}$ より低く、N型トランジスタ105の閾値電圧を $V_{IN}$ とした時、

$$V_{IN} \leq V_{GND} - V_{TN} \quad \dots\dots(2)$$

を満たすならば、N型トランジスタ105は、ターンオン状態となり、N型トランジスタ105の金属配線3に接続された側の電位が、

$(V_{GND} - |V_{TN}|)$ となるようにクランプ回路

## 特開平1-123459 (3)

として機能する。次に、保護抵抗106は、保護トランジスタ104、105がクランプ回路として機能する過渡的な状態で、金属配線3の電位が一時的に、 $V_{DD} + |V_{TP}|$ よりも高くなったり、 $V_{GND} - |V_{TN}|$ よりも低くなった場合に、その電位が直接的に入力段のトランジスタ107、108のゲート部にかかることによるゲート酸化膜での破壊を防止するために入れられていて、電流通過に伴う電位降下により入力段トランジスタ107、108のゲート保護を行なう。

## 発明の効果

本発明が、従来のもの異なる点は、第2図の従来例では、 $V_{IN} \geq V_{DD} + |V_{TP}|$ という正極性のサージ電圧に対して、保護抵抗204を通して保護ダイオード205によりクランプするように設計されているわけであるが、保護抵抗として動作する拡散領域204の入力パッド側には、サージ電圧が直接的にかかるため、入力パッドからの金属配線12と拡散領域204のオーミック接続をするコンタクト部から、不純物濃度の高いチャ

ネルストップ領域との距離が最も短い経路で、逆方向バイアス下でのPN接合破壊が発生しやすいという欠点があるのに対して、本発明では、まず保護トランジスタ104、105でサージ印加電圧を受けた後に、保護トランジスタ105のゲート部に囲まれたドレイン領域による保護抵抗で受ける構成になって、従来例で発生しやすいチャンネルストップ領域と不純物拡散による保護抵抗領域間でのPN接合破壊の原因となる物理的な構造を取り除き、高品質な入力保護回路を実現することができるものである。

## 4、図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は入力保護回路の従来例を示す回路図である。

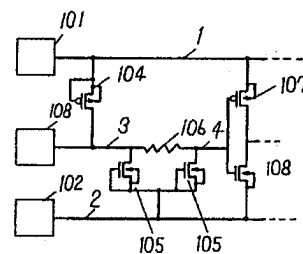
1、2、3、4、10、11、12、13……金属配線、101……電源パッド、102……接地パッド、103……入力パッド、104……P型保護トランジスタ、105……N型保護トランジスタ、106……N型保護トランジスタのドレイン領域を用いた保護抵抗、107、108……

入力段トランジスタ、201……電源パッド、202……接地パッド、203……入力パッド、204……保護抵抗兼N型保護ダイオード、205……P型保護ダイオード、206……N型保護ダイオード、207、208……入力段トランジスタ。

代理人の氏名 弁理士 中尾敏男 ほか1名

101 ……パッド(端子)  
107 ……P型MOSトランジスタ  
108 ……N型MOSトランジスタ

第1図



第2図

